

金沢大学ラッチトコンパレータの概要

提供： 金沢大学実践的 LSI 設計技術教育運営委員会

資料： rev.2013.8.25, 金沢大学, 北川章夫

1. ファイルの説明

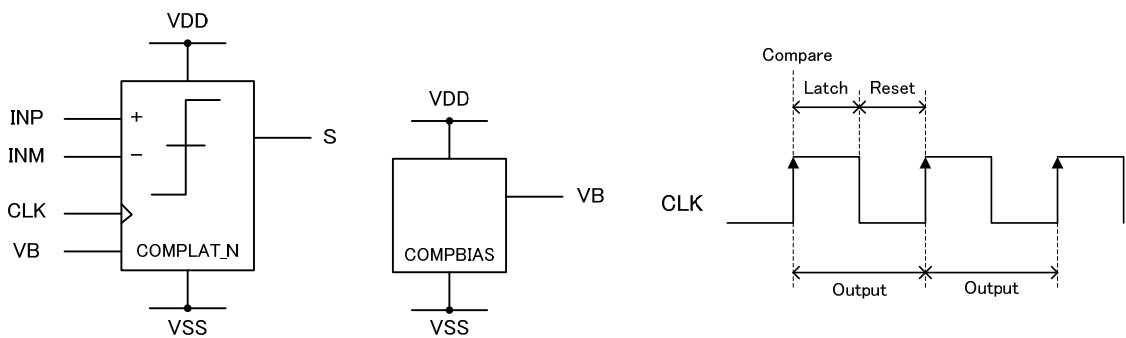
ファイル	説明
composer.tar	Cadance IC5+HSPICE 用データ
composer6.tar	Cadence IC6+HSPICE 用データ
composer6s.tar	Cadence IC6+spectre 用データ
layout.tar	レイアウトデータ(GDS-II)

- (1) データ構成の詳細は、KANAZAWA_UNIV_コンパレータ回路設計報告_130313.pdf を参照してください。
- (2) CMP_ARRAY に、4 個並列アレイ構成の場合のレイアウト例が含まれています。
- (3) 金沢大学版 IO バッファライブラリと同じファイル名になっているため、相互に上書きしないよう注意してください。
- (4) 共通ライブラリ R018 を含んでいます。金沢大学版 IO バッファライブラリの R018 を既にインストールしている場合は、ラッチトコンパレータに含まれる R018 で上書きして使ってください。こちらのほうが新しいバージョンです。

2. 概要

(1) 機能および入出力

n-ch 入力ラッチトコンパレータ。幅 10um の 1 次元アレイに対応。4 個毎に共通バイアス回路を配置可能。



(a) コンパレータ本体

(b) バイアス回路

(c) タイミングチャート

端子	IN/OUT	機能
VDD	PWR	電源
VSS	GND	GND
INP	Analog IN	+入力

INM	Analog IN	－入力
S	Digital OUT	電圧比較結果出力
CLK	Digital IN	H = COMPARE, L = RESET
VB	DC Bias	バイアス入力 (バイアス回路から供給)

3. 主な仕様

(1) IO_INOUT (デジタル用)

項目	単位	Min.	Typ.	Max.
電源電圧	V		1.8	
消費電流	μA		749	
入力電圧範囲	V	0.4		1.75
伝搬遅延時間	T _{pd_h}	ns	0.2238	1.337
	T _{pd_l}	ns	0.1605	1.114
クロック周波数 (VIN=0..9V)	MHz			900
オフセット (VIN = 0.9V)	f _{clk} < 100MHz	mV		1
	f _{clk} > 100MHz	mV		4
オフセット (f _{clk} = 1MHz)	VIM = 0.4V	mV		23
	VIN = 0.9V	mV		1
	VIN = 1.75V	mV		15

4. 使用上の注意

(1) DRC

Flat モードで実行して下さい。階層モードの場合は、下位セルの配置に対する OFFGRID 警告が出るがありますが、論理レイヤーに対する警告ですので、無視して下さい。

(2) Density Check

Outputs: DRC Results Database Format = GDS II を指定して下さい。ただし、RVE によるエラーの検索は使用できません。

5. 動作確認状況

VDEC 2013 年第 3 回 CMOS 180nm にて試作および評価を実施予定。

6. 連絡先

〒920-1192 石川県金沢市角間町 金沢大学理工研究域電子情報学系 北川章夫

TEL/FAX 076-234-4863

EMAIL kitagawa@is.t.kanazawa-u.ac.jp