

2次オーバーサンプリング DAC

提供： 金沢大学集積回路工学研究室

設計： 北川章夫

資料： rev.2013.8.25, 金沢大学, 北川章夫

分類	Mixed
ライブラリ名	DSM_DAC2
提供形式	Verilog
テクノロジーデバイス	テクノロジー依存なし
必須ライブラリ	なし
設計者	北川章夫
最終更新日	2011.9.30
連絡先	北川 章夫 920-1192 石川県金沢市角間町 金沢大学 理工研究域 電子情報学系 Phone/FAX 076-234-4863 Email kitagawa@is.t.kanazawa-u.ac.jp

1. ファイルの説明

ファイル	説明
verilog.tar.gz	論理合成用 VerilogHDL ファイルおよびテストベンチ

ファイルの内容

ファイル名	記述内容
dsm_dac2.v	オーバーサンプリング DAC (トップモジュール)
cic_ipf3.v	128 倍線形補間フィルタ
ddsm2_16.v	2次デルタ-シグマモジュレータ
tb_dac2.v	dsm_dac2.v のテストベンチ雛形

2. 概要

(1) 機能および構成

128 倍オーバーサンプリング DAC デジタル部の Verilog-HDL 記述です。128 倍線形補間 CIC フィルタ、2 次誤差フィードバック型 Δ - Σ モジュレータで構成されています。出力を簡単な LPF に通すことによりアナログ信号が得られます。

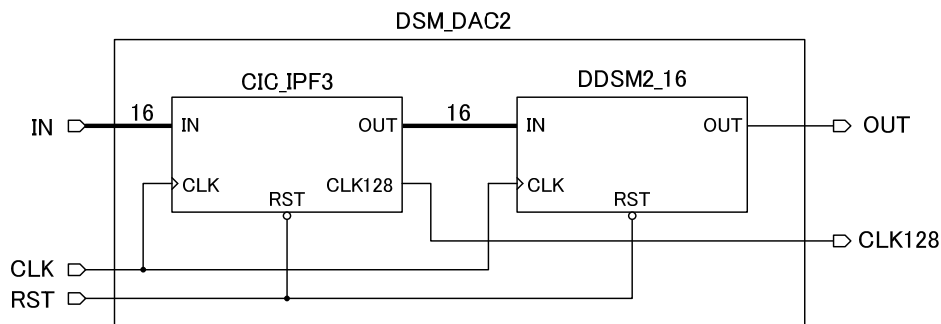


図 1 全体構成

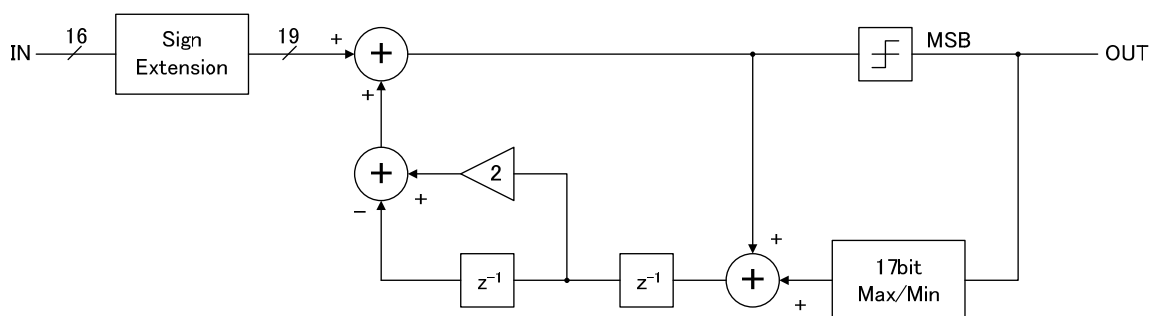


図 2 デルタ-シグマモジュレータの伝達関数

3. 主な仕様

入力ビット数	16bit	
オーバーサンプリングレート	128倍	
ノイズシェーピング次数	2次	
量子化誤差	-100.2dB	
補間フィルタ	線形補間 CIC 3 段	
SNR (理論値)	1 次 LPF	42.1dB
	2 次 LPF	84.3dB

4. 使用上の注意

補間に CIC フィルタを使用しているため、必要に応じて、SinC 補償 FIR を追加してください。

5. 動作確認状況

プロセス	クロック周波数	面積	消費電力
CMOS 180nm, VDD 1.8V, 5-metal	100MHz 以上	1162um×1162um	未測定
SOI-CMOS 600nm, VDD 5V, 2-metal	58MHz	340um×215um	未測定 1mA 以下@1MHz