

分類	Analog
ライブラリ名	ATS
名称	人工触覚センサ
提供形式	GDS-II, Cadence IC6
テクノロジー/デバイス	Rohm CMOS 180nm
必要ライブラリ	vdecRO180PDK
設計者	深田拓
最終更新日	平成 22 年 12 月 24 日
連絡先	北川章夫 920-1192 石川県金沢市角間町 金沢大学 理工学域 電子情報学類 Phone/FAX 076-234-4863 Email kitagawa@is.t.kanazawa-u.ac.jp

内容リスト

番号	セル名	説明	測定	備考
1	DETECTOR_R20D500	電極構造及び容量検出回路	未測定	
2	DETECTOR_R65D100	電極構造及び容量検出回路	未測定	
3	DETECTOR_R65D500	電極構造及び容量検出回路	未測定	
4	DETECTOR_R65D1000	電極構造及び容量検出回路	未測定	
5	DETECTOR_R80D500	電極構造及び容量検出回路	未測定	
6	DETECTOR_UNIT	容量検出回路	未測定	
7	BUFFER	駆動能力向上用バッファ	未測定	
8	TEG_OSC3_BUFFER	13 の TEG	未測定	
9	TEG_OSC3_SW_BUFFER	15 の TEG	未測定	
10	TEG_MIXER	16 の TEG	未測定	
11	TEG_DIN	17 の TEG	未測定	
12	TEG_SCHTRGINV	18 の TEG	未測定	
13	OSC3	発振器	測定不能	
14	OSC3_REF	参照用発振器	測定不能	
15	OSC3_SW_BUFFER	検知用発振器	測定不能	
16	MIXER	周波数変換用乗算器	測定不能	
17	DIN	差動入力用増幅器	測定不能	
18	INV_SCHTRGINV	ノイズ除去用シュミットトリガ	測定不能	
19	INVERTOR_TYPE1	インバータ	測定不能	
20	INV_NWN1260	インバータ	測定不能	
21	INV_NWN3780	インバータ	測定不能	
22	INV_NWN11340	インバータ	測定不能	
23	INV_NWN34020	インバータ	測定不能	
24	INV_NWU102	インバータ	測定不能	

1 BUFFER

1.1 概要

オシロスコープ等の計測器の負荷を駆動するための、駆動能力向上用のバッファである。徐々にサイズを大きくした5段のインバータで構成されている。

1.2 構成

ライブラリ名	セル名	番号	説明	個数
ATS	INV_NWN1260	20	1段目のインバータ	1
ATS	INV_NWN3780	21	2段目のインバータ	1
ATS	INV_NWN11340	22	3段目のインバータ	1
ATS	INV_NWN34020	23	4段目のインバータ	1
ATS	INV_NWU102	24	5段目のインバータ	1

1.3 IO仕様

ピン名	属性	説明	備考
IN	INPUT	入力	入力範囲：0~1.8V
OUT	OUTPUT	出力	出力範囲：0~1.8V
VDD	POWER	電源	1.8V
GND	POWER	接地	0.0V

1.4 回路図

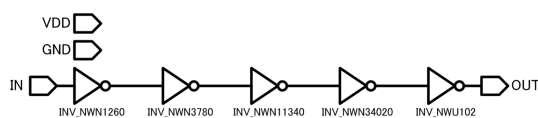


図 1: schematic

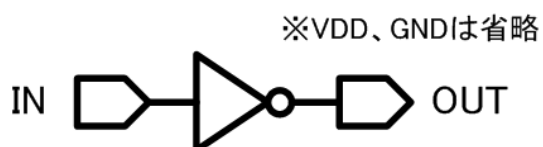


図 2: symbol

1.5 レイアウト

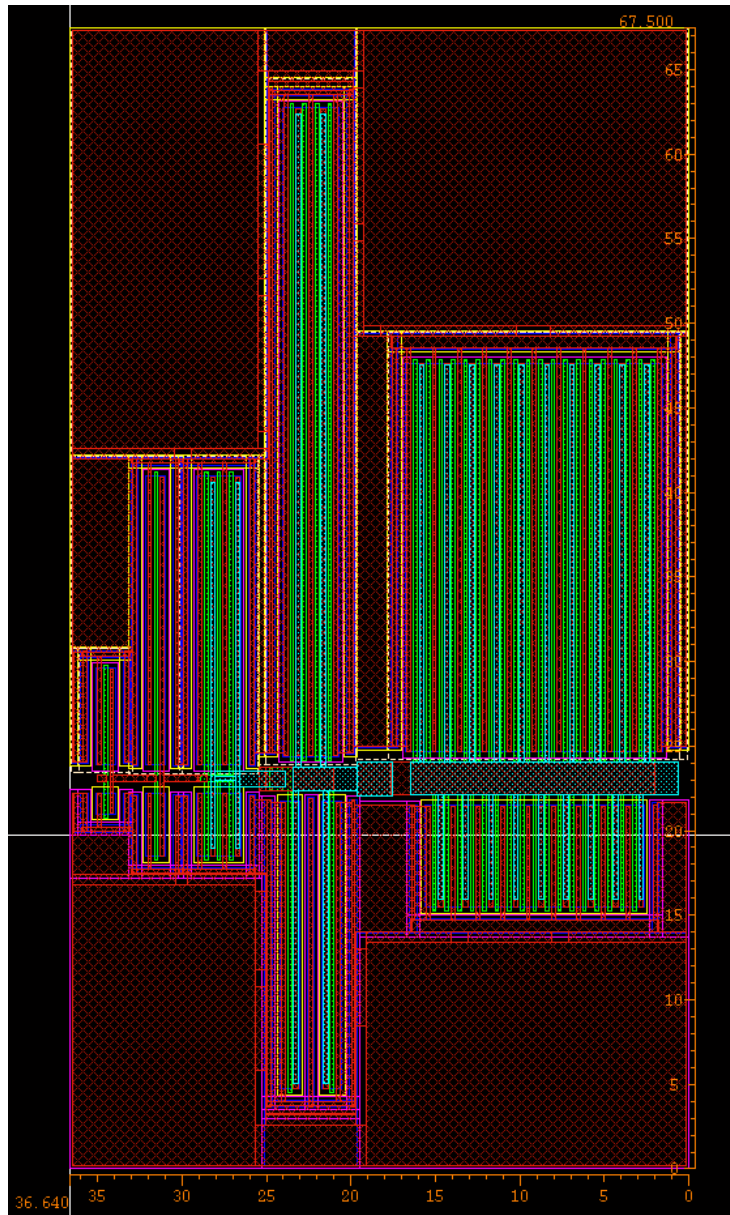


図 3: layout

1.6 回路仕様

項目	目標値	シミュレーション値					実測値	条件等
		TYP	FF	SS	FS	SF		
閾値 [mV]	900	918	918	918	812	1024	未測定	
遅延	N/A	図 4 参照					未測定	図 5 参照
振幅対周波数特性	N/A	図 6 参照					未測定	図 7 参照
出力インピーダンス	N/A	図 8 参照					未測定	図 9 参照

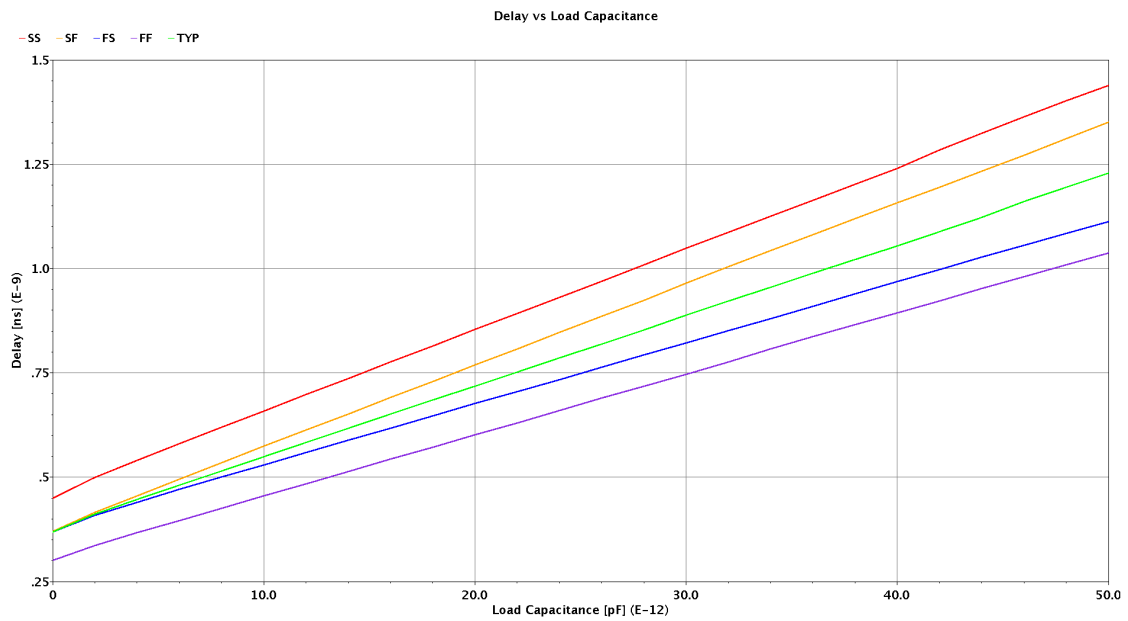


図 4: 遅延対容量特性

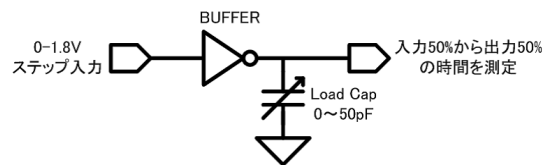


図 5: 遅延用テストベンチ

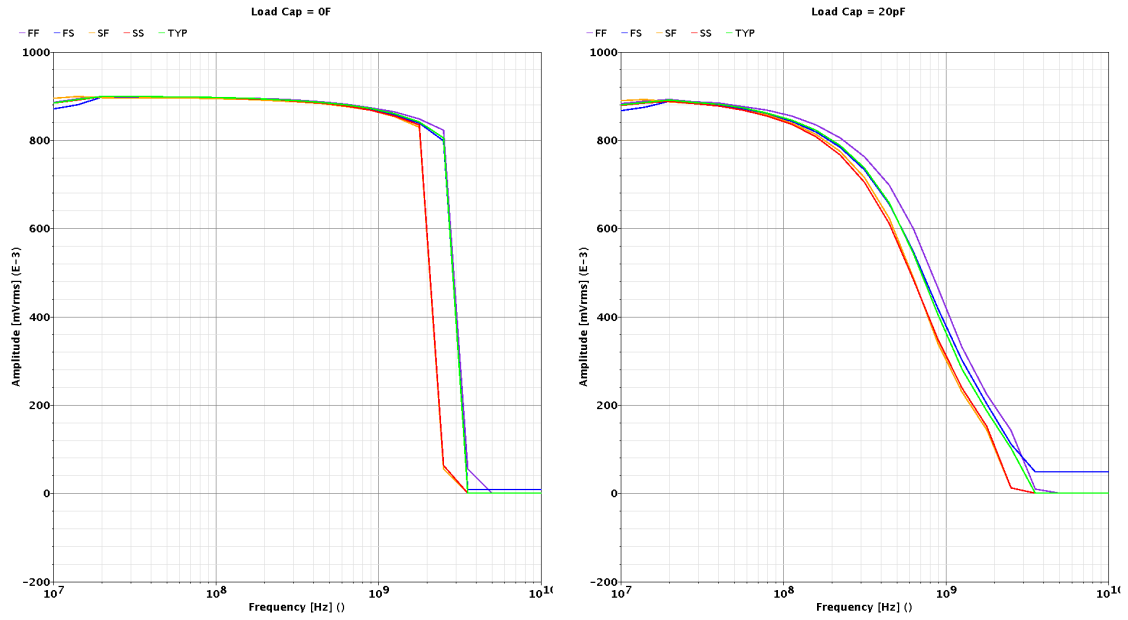


図 6: 振幅対周波数特性

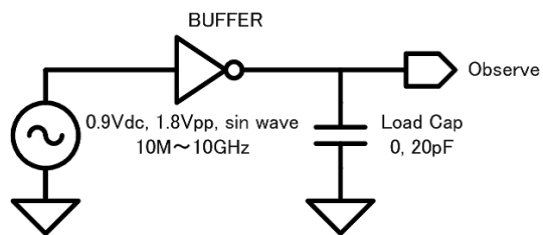


図 7: 振幅対周波数用テストベンチ

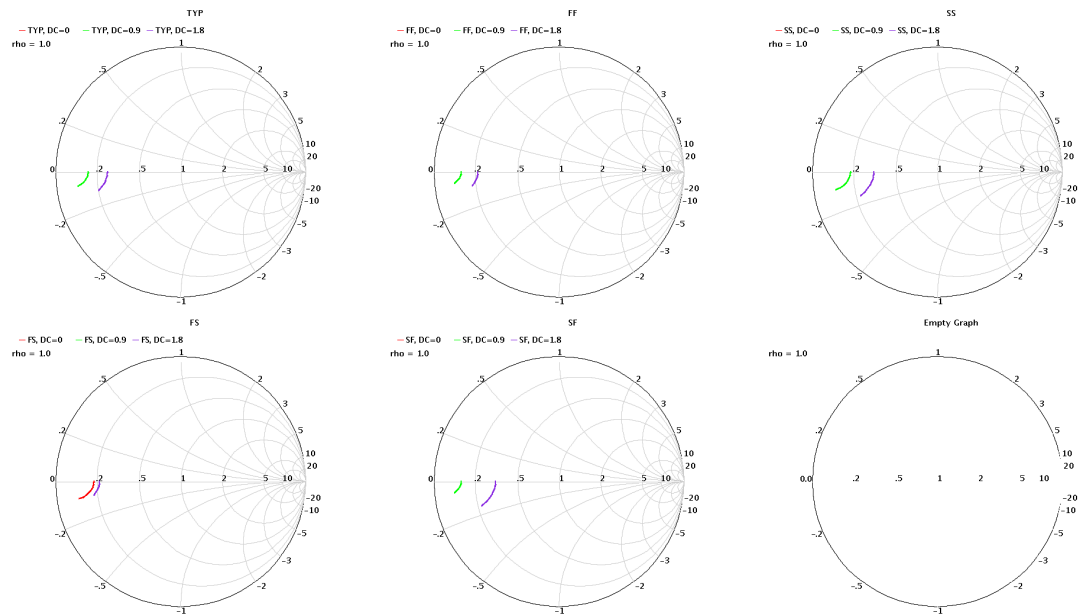


図 8: 出力インピーダンス

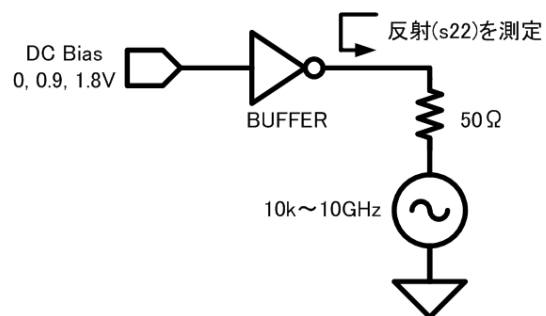


図 9: 出力インピーダンス用テストベンチ

2 OSC3

2.1 概要

インバータ3段のリングオシレータである。周波数変化による負荷容量の変化の観測を目的としており、容量負荷変化に対する周波数変化が大きくなるように設計してある。

2.2 構成

ライブラリ名	セル名	番号	説明	個数
ATS	INVERTOR_TYPE1	19	インバータ	3

2.3 IO仕様

ピン名	属性	説明	備考
OUTP	OUTPUT	出力ノード1	出力範囲：0~1.8V
OUTN	OUTPUT	出力ノード2	出力範囲：0~1.8V
CONNECT	OUTPUT	出力ノード3	出力範囲：0~1.8V
VDD	POWER	電源	1.8V
GND	POWER	接地	0.0V

2.4 回路図

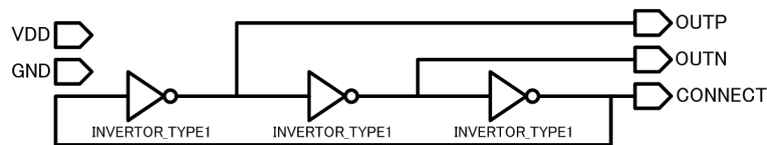


図 10: schematic

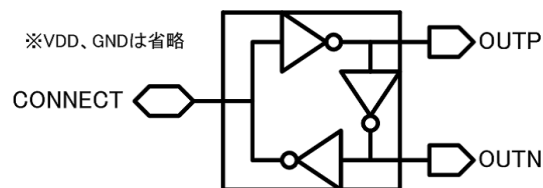


図 11: symbol

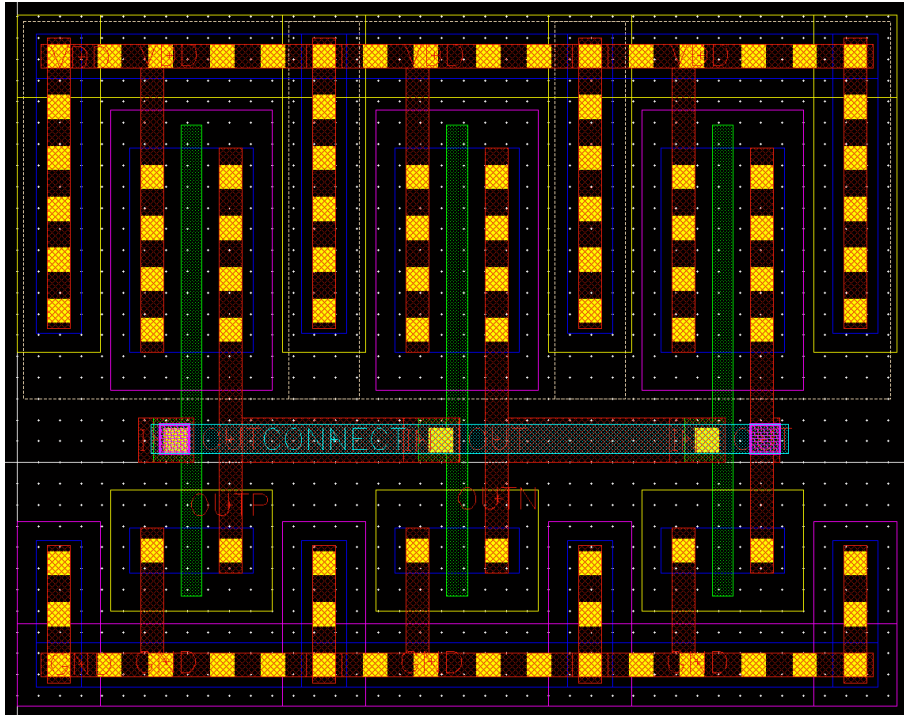


図 12: layout

2.5 レイアウト

2.6 回路特性

項目	目標値	シミュレーション値					実測値	条件等
		TYP	FF	SS	FS	SF		
最大発振周波数 [GHz]	N/A	3.87	4.81	3.14	3.87	3.88	未測定	負荷容量なし
周波数対容量特性	N/A	図 13 参照					未測定	図 15 参照
最大出力振幅 [mV]	900	982	968	999	959	994	未測定	負荷容量なし
振幅対容量特性	N/A	図 14 参照					未測定	図 15 参照

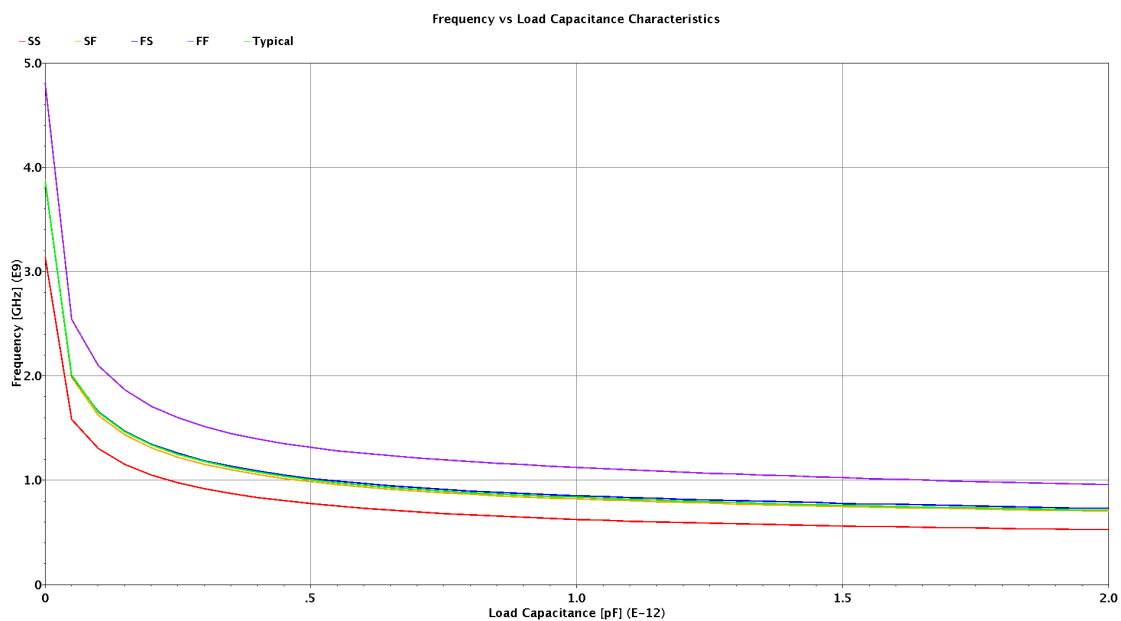


图 13: 周波数对容量特性

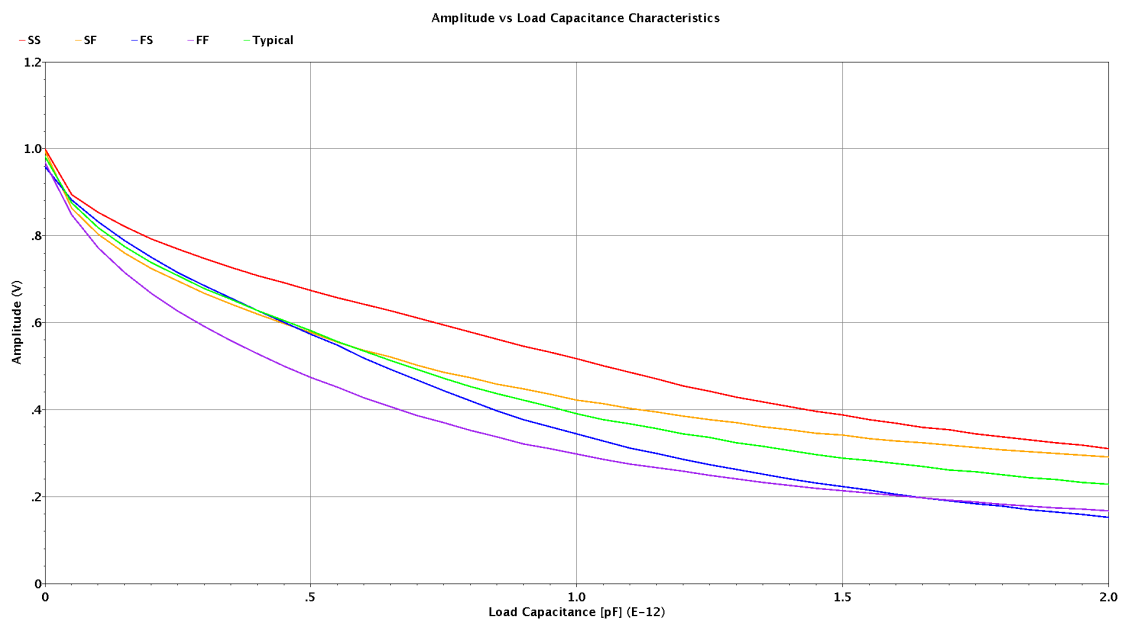


图 14: 振幅对容量特性

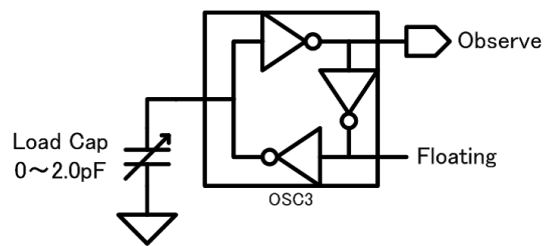


图 15: testbench

3 INVERTOR_TYPE1

3.1 概要

回路内で使用されるインバータである。

3.2 構成

ライブラリ名	セル名	番号	説明	個数
vdecRO180PDK	pmos18sp	N/A	P型 MOSFET	1
vdecRO180PDK	nmos18sp	N/A	N型 MOSFET	1

3.3 IO仕様

ピン名	属性	説明	備考
IN	INPUT	入力	入力範囲：0～1.8V
OUT	OUTPUT	出力	出力範囲：0～1.8V
VDD	POWER	電源	1.8V
GND	POWER	接地	0.0V

3.4 回路図

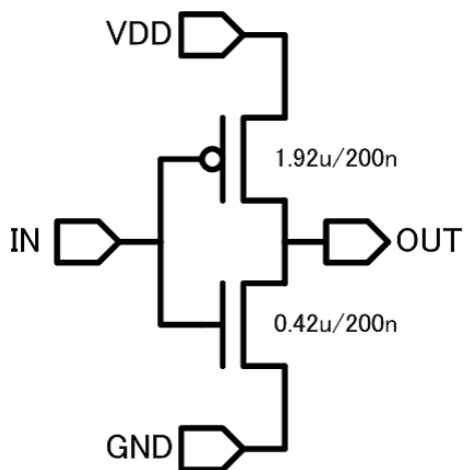


図 16: schematic

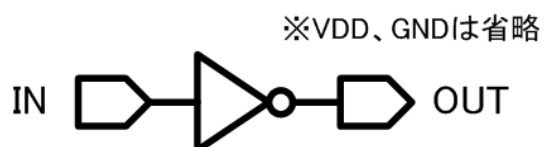
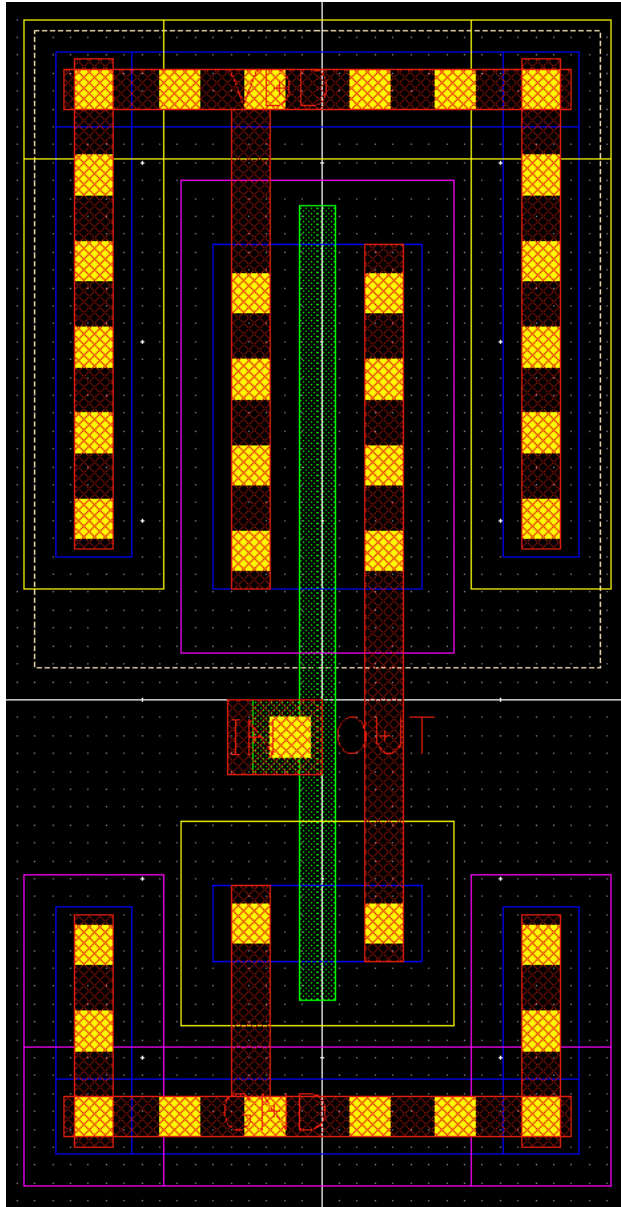


図 17: symbol



☒ 18: layout

3.5 レイアウト

3.6 回路特性

項目	目標値	シミュレーション値					実測値	条件等
		TYP	FF	SS	FS	SF		
閾値 [mV]	900	899	909	892	801	1001	未測定	
遅延	N/A	図 19 参照					未測定	図 20 参照
動作限界 [GHz]	5 ~	12.1	12.2	11.2	N/A	17.7	未測定	
振幅対周波数特性	N/A	図 21 参照					未測定	図 22 参照

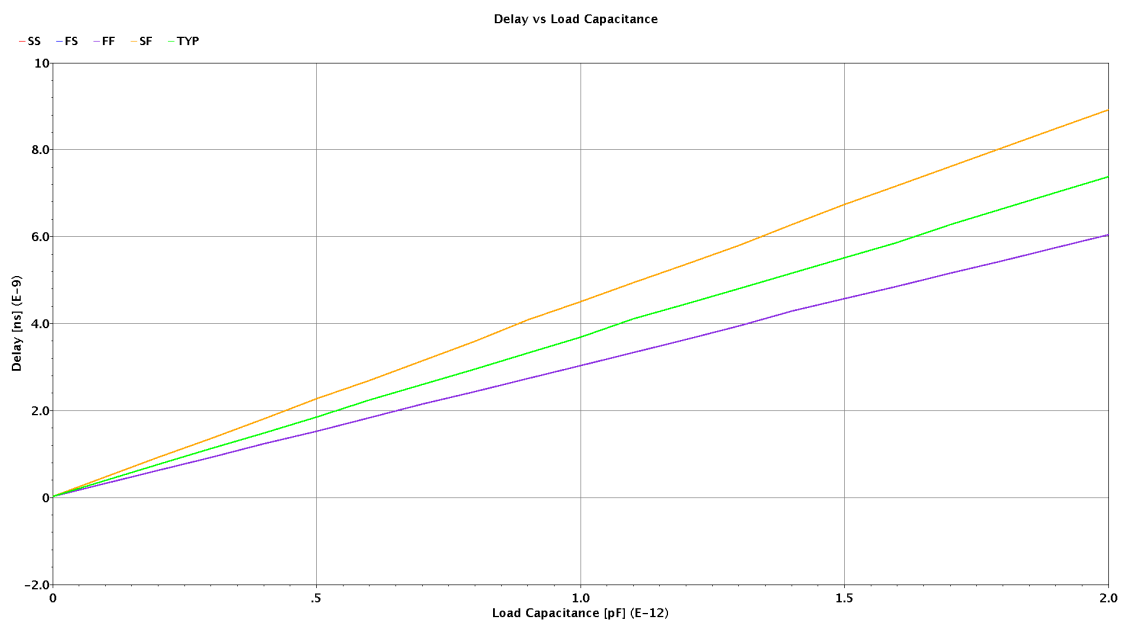


図 19: 遅延対容量特性

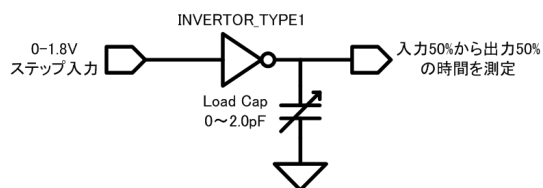


図 20: 遅延対容量テストベンチ

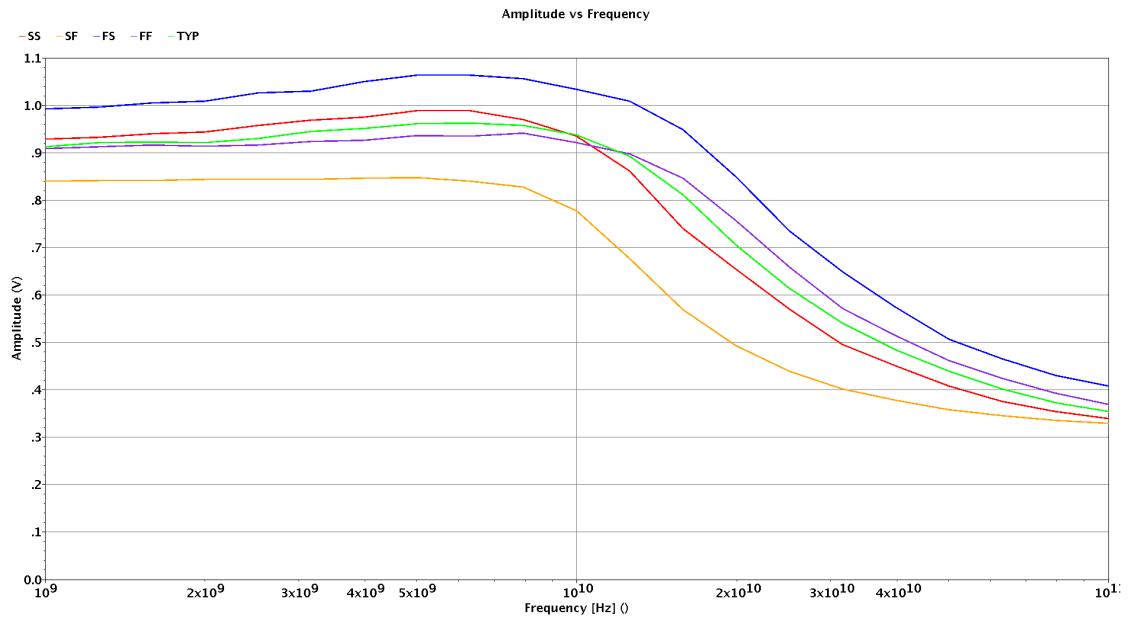


図 21: 振幅対周波数特性特性

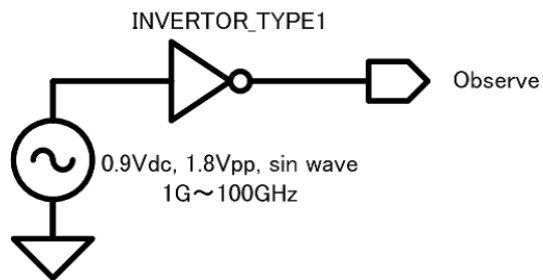


図 22: 振幅対周波数テストベンチ

4 INV_NWN1260

4.1 概要

4.2 構成

ライブラリ名	セル名	番号	説明	個数
vdecRO180PDK	pmos18sp	N/A	P型 MOSFET	1
vdecRO180PDK	nmos18sp	N/A	N型 MOSFET	1

4.3 IO仕様

ピン名	属性	説明	備考
IN	INPUT	入力	入力範囲：0～1.8V
OUT	OUTPUT	出力	出力範囲：0～1.8V
VDD	POWER	電源	1.8V
GND	POWER	接地	0.0V

4.4 回路図

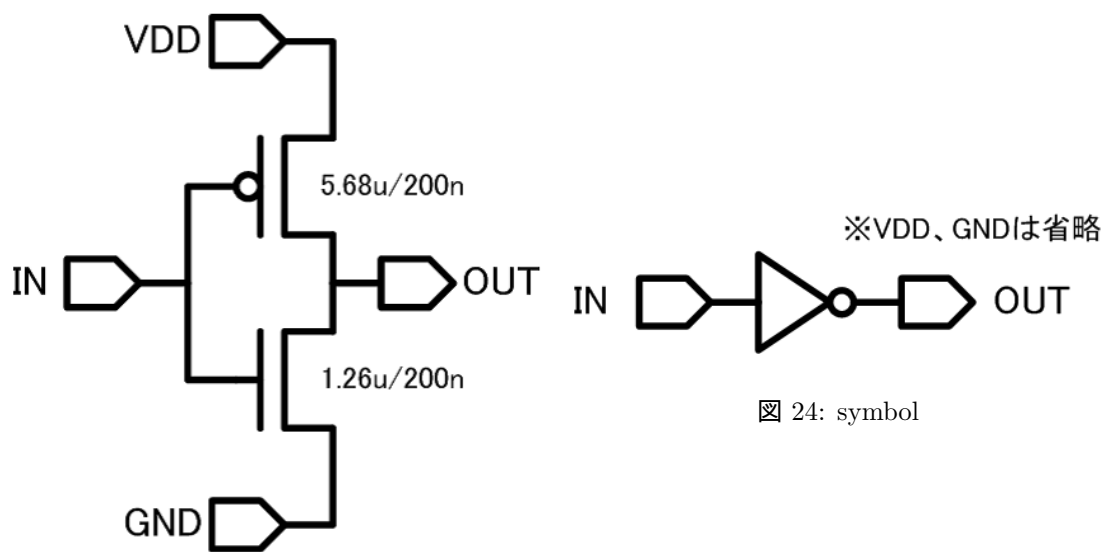


図 23: schematic

図 24: symbol

4.5 レイアウト

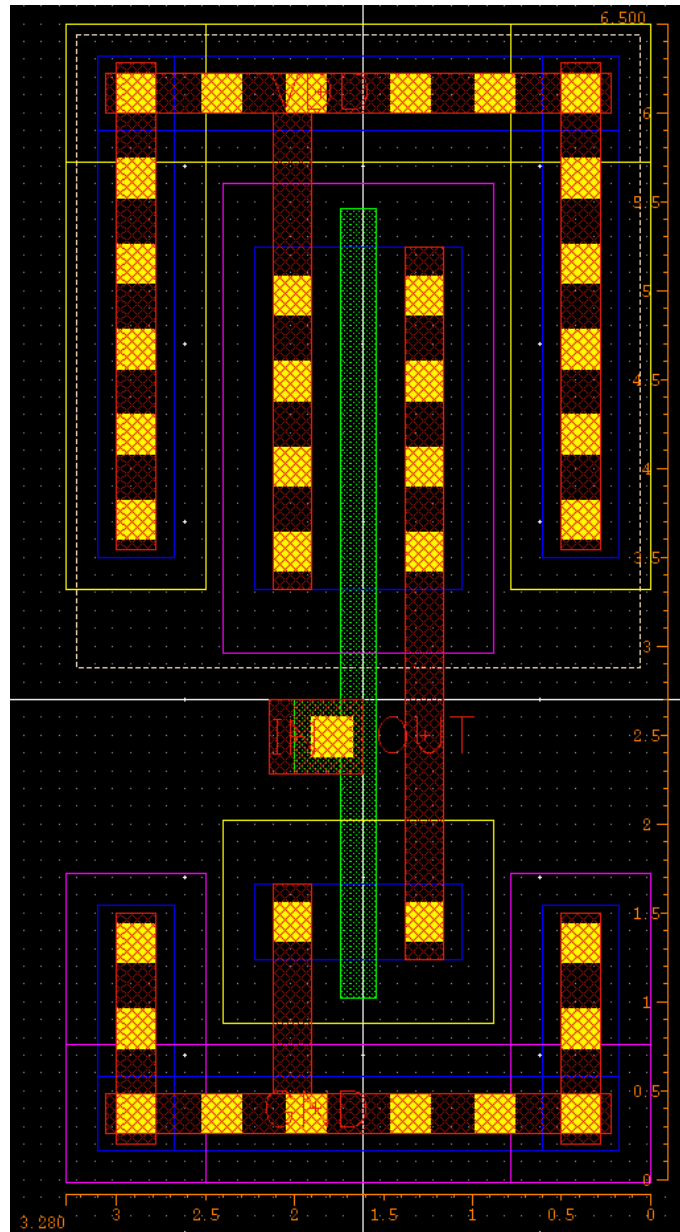


図 25: layout

4.6 回路仕様

項目	目標値	シミュレーション値					実測値	条件等
		TYP	FF	SS	FS	SF		
閾値 [mV]	900	914	925	908	815	1014	未測定	

5 INV_NWN3780

5.1 概要

5.2 構成

ライブラリ名	セル名	番号	説明	個数
vdecRO180PDK	pmos18sp	N/A	P型 MOSFET	1
vdecRO180PDK	nmos18sp	N/A	N型 MOSFET	1

5.3 IO仕様

ピン名	属性	説明	備考
IN	INPUT	入力	入力範囲：0～1.8V
OUT	OUTPUT	出力	出力範囲：0～1.8V
VDD	POWER	電源	1.8V
GND	POWER	接地	0.0V

5.4 回路図

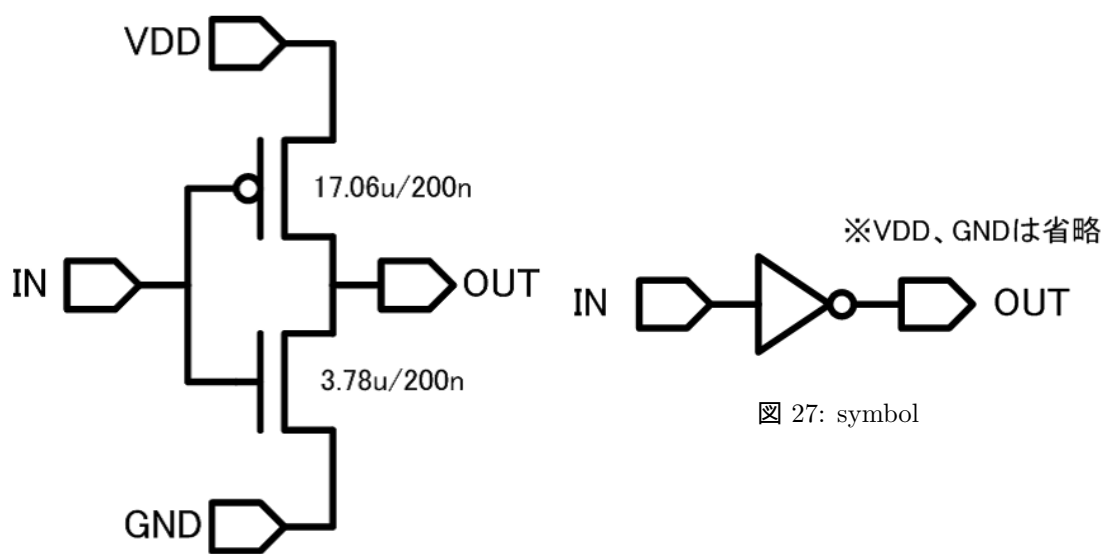


図 26: schematic

図 27: symbol

5.5 レイアウト

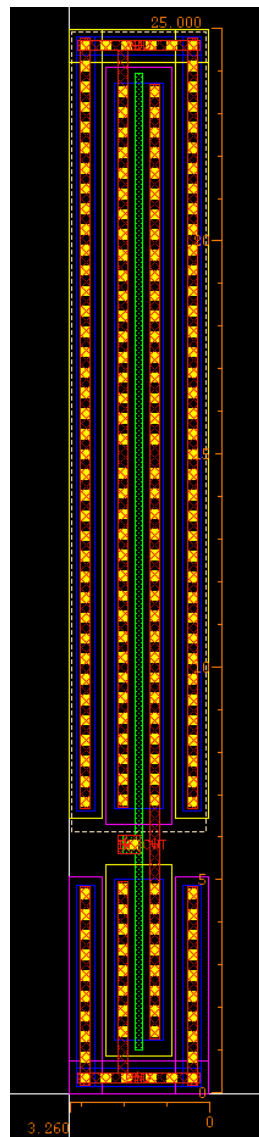


図 28: layout

5.6 回路仕様

項目	目標値	シミュレーション値					実測値	条件等
		TYP	FF	SS	FS	SF		
閾値 [mV]	900	907	919	895	810	1003	未測定	

6 INV_NWN11340

6.1 概要

6.2 構成

ライブラリ名	セル名	番号	説明	個数
vdecRO180PDK	pmos18sp	N/A	P型 MOSFET	1
vdecRO180PDK	nmos18sp	N/A	N型 MOSFET	1

6.3 IO仕様

ピン名	属性	説明	備考
IN	INPUT	入力	入力範囲：0～1.8V
OUT	OUTPUT	出力	出力範囲：0～1.8V
VDD	POWER	電源	1.8V
GND	POWER	接地	0.0V

6.4 回路図

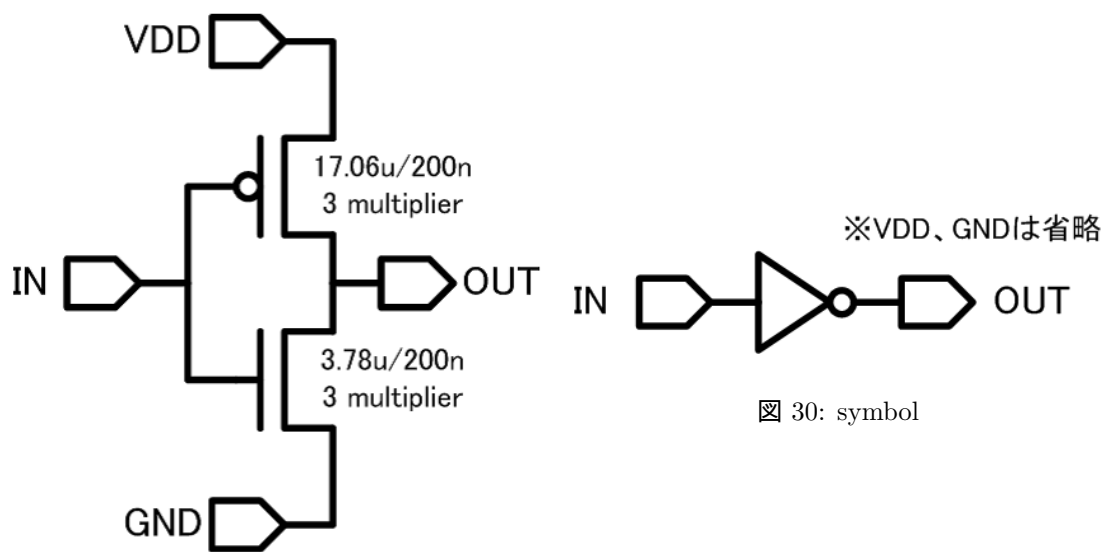


図 29: schematic

図 30: symbol

6.5 レイアウト

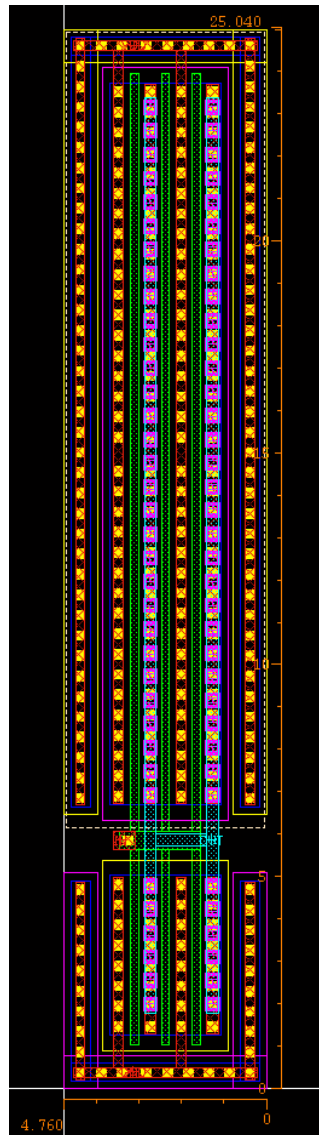


図 31: layout

6.6 回路仕様

項目	目標値	シミュレーション値					実測値	条件等
		TYP	FF	SS	FS	SF		
閾値 [mV]	900	901	916	887	804	997	未測定	

7 INV_NWN34020

7.1 概要

7.2 構成

ライブラリ名	セル名	番号	説明	個数
vdecRO180PDK	pmos18sp	N/A	P型 MOSFET	1
vdecRO180PDK	nmos18sp	N/A	N型 MOSFET	1

7.3 IO仕様

ピン名	属性	説明	備考
IN	INPUT	入力	入力範囲：0～1.8V
OUT	OUTPUT	出力	出力範囲：0～1.8V
VDD	POWER	電源	1.8V
GND	POWER	接地	0.0V

7.4 回路図

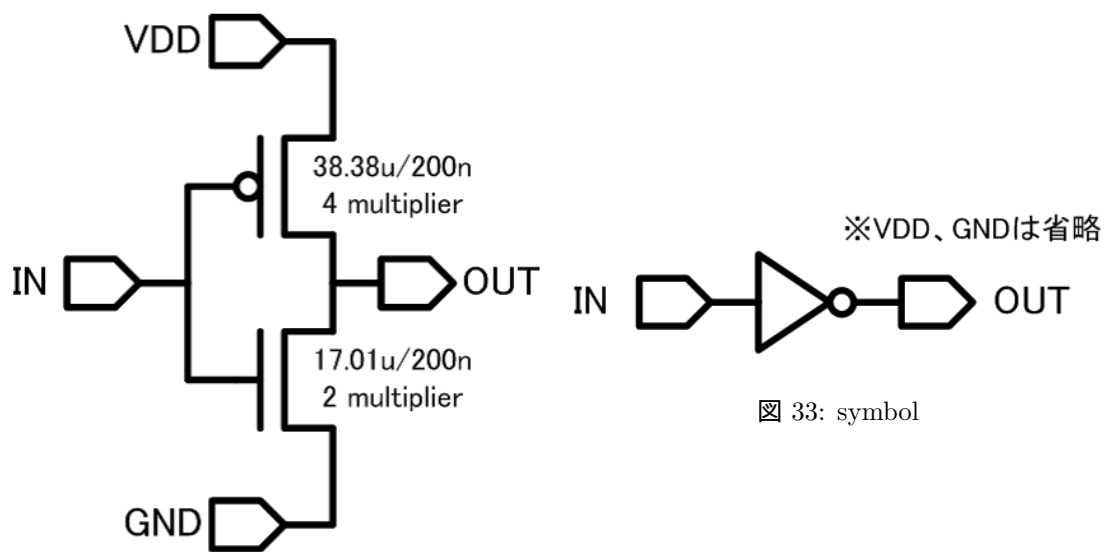


図 32: schematic

図 33: symbol

7.5 レイアウト

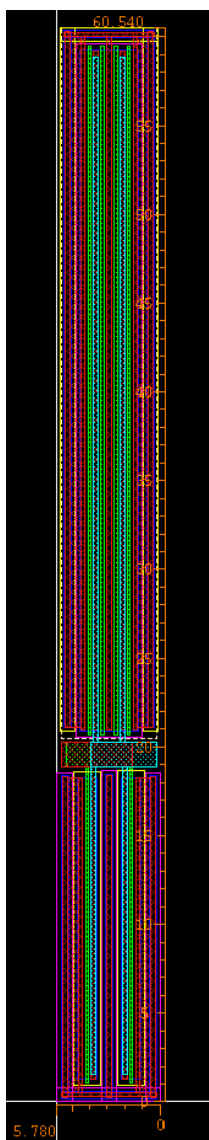


図 34: layout

7.6 回路仕様

項目	目標値	シミュレーション値					実測値	条件等
		TYP	FF	SS	FS	SF		
閾値 [mV]	900	906	922	890	808	1003	未測定	

8 INV_NWU102

8.1 概要

8.2 構成

ライブラリ名	セル名	番号	説明	個数
vdecRO180PDK	pmos18sp	N/A	P型 MOSFET	1
vdecRO180PDK	nmos18sp	N/A	N型 MOSFET	1

8.3 IO仕様

ピン名	属性	説明	備考
IN	INPUT	入力	入力範囲：0～1.8V
OUT	OUTPUT	出力	出力範囲：0～1.8V
VDD	POWER	電源	1.8V
GND	POWER	接地	0.0V

8.4 回路図

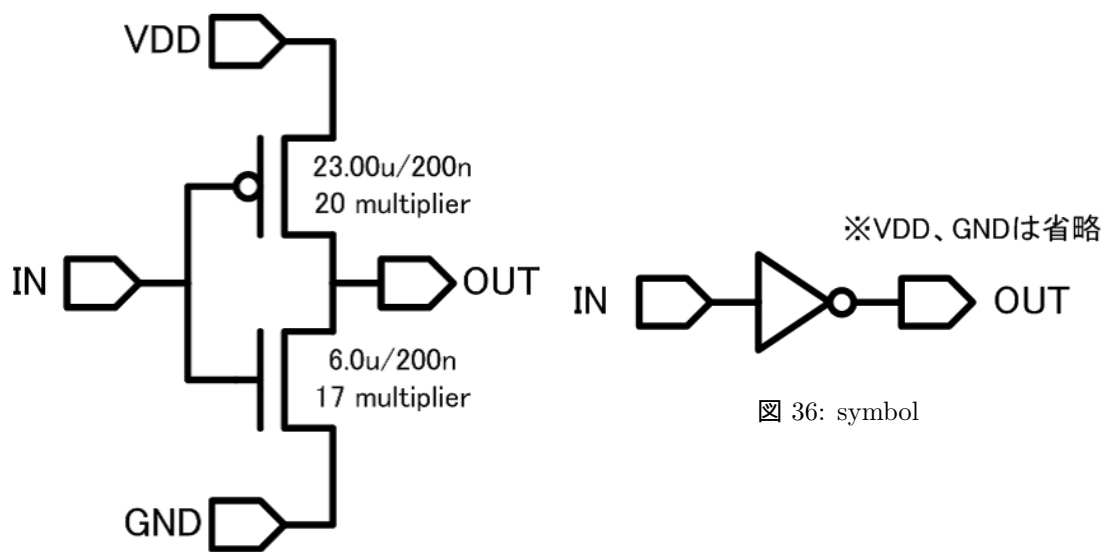


図 35: schematic

図 36: symbol

8.5 レイアウト

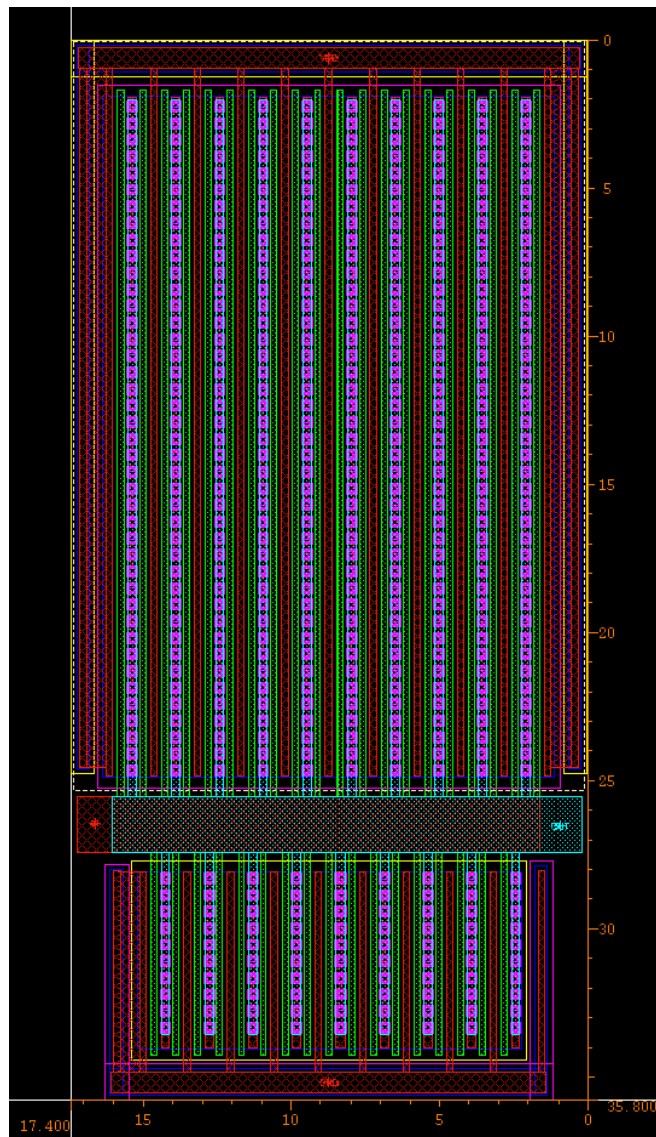


図 37: layout

8.6 回路仕様

項目	目標値	シミュレーション値					実測値	条件等
		TYP	FF	SS	FS	SF		
閾値 [mV]	900	907	919	894	810	1002	未測定	